Digital Circuit Design

Somchai Arunrungrusmi

Electrical Technology Education

KMUTT

Digital Circuit Design

- Text Book
  - Digital Logic Circuit Analysis & Design
    - Victor Nelson, Troy Nagle Bill Carroll & David Irwin, Prentice Hall. (Midterm)
  - Digital Design with CPLD and VHDL
    - Robert Dueck, Thomson Learning. (Final)
- Class Hour : Mon, 1.30-4.20 pm
- Office Hour : Tue, 9.00-12.00 am

Digital Circuit Design

- Contact me
  - Email : somchai.aru@kmutt.ac.th
  - Website : webstaff.kmutt.ac.th/~isomusmi/digital.html

How to obtain scores ☺

- Class attendance
  - 10 %
- Tests (Midterm & Final)
  - 70 %
- Homework & Lab
  - 20 %

Content (Midterm)

- Analysis & Synthesis of Synchronous Sequential Circuits
- Simplification of Sequential Circuits
- Asynchronous Sequential Circuits

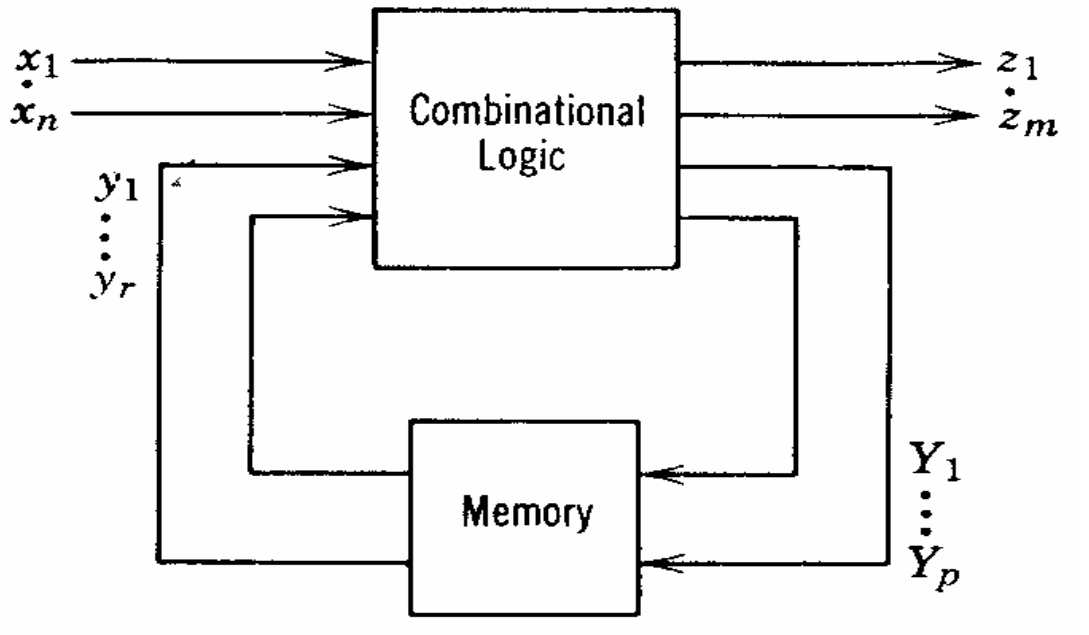
Content (Final)

- Introduction to PLD & VHDL
- Combination Logic Functions
- Digital Arithmetic and Arithmetic Circuits
- Introduction to Sequential Logic
- PLA
- Counters & Shift Registers
- State Machine

Introduction to Sequential Circuit

- วงจร Sequential ก็คือวงจร Combination ที่มีส่วนของหน่วยความจำเข้ามาจดจำสภาวะต่าง ๆ ของวงจรไว้ ตัวอย่างเช่น ลิฟต์ และ counter สำหรับนับตัวเลข หรือคะแนน
- การทำงานของวงจร sequential นั้นจะขึ้นอยู่กับตำแหน่งปัจจุบัน และ อินพุทที่ป้อนให้ เป็นสำคัญ ดังนั้นหัวใจหลักอันหนึ่งของวงจรประเภทนี้คือ ... หน่วยความจำ

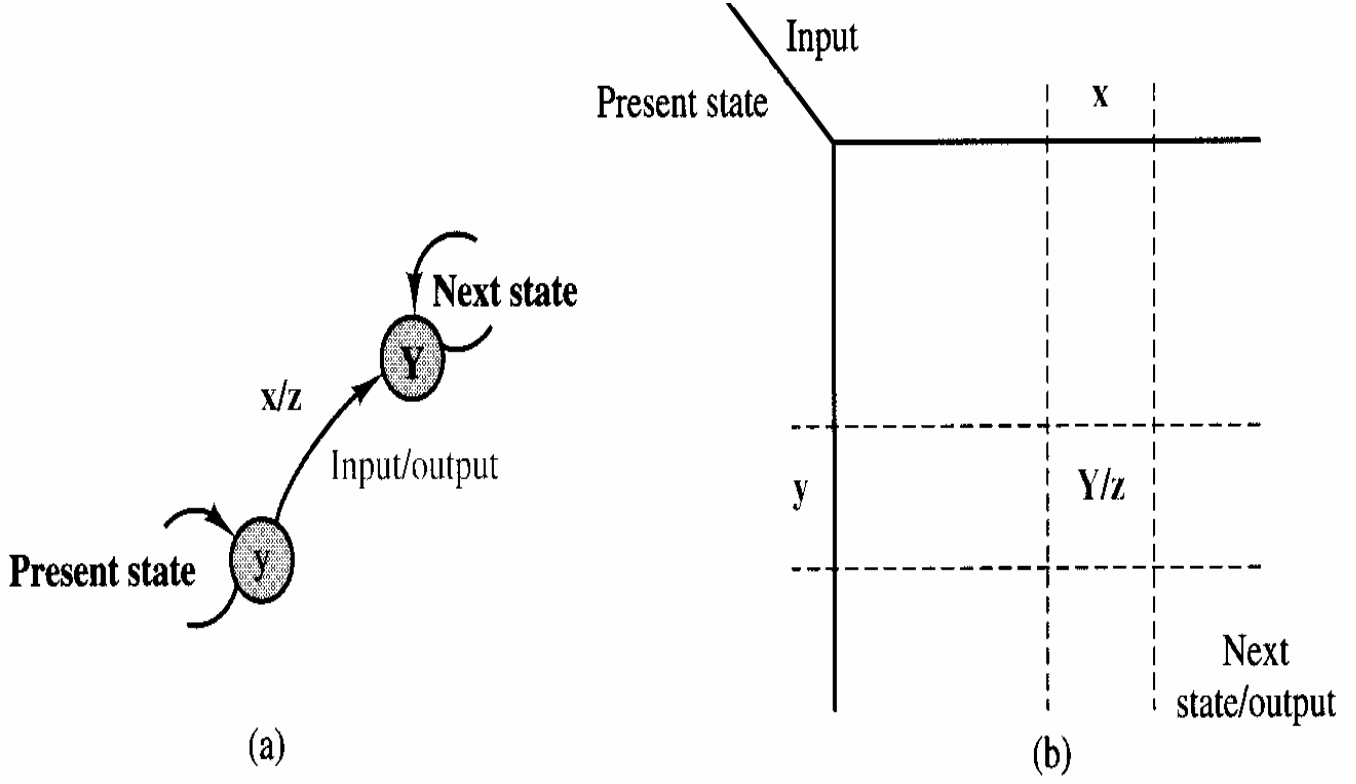
Sequential Diagram



ตัวแปรที่สำคัญของวงจร Sequential

- สภาวะปัจจุบัน (Present state)
- สภาวะถัดไป (Next state)
- สัญญาณเข้า (Input)
- การเปลี่ยนสภาวะ (State transition)

ตัวแปรที่สำคัญของวงจร Sequential



ตัวอย่าง

- การหาเอาท์พุทของวงจร Sequential ในรูปของ ตัวแปรอินพุท,ตัวแปรสภาวะ

Inputs: $x = 0, x = 1$

States: $[y_1,y_2] = [00] = A$

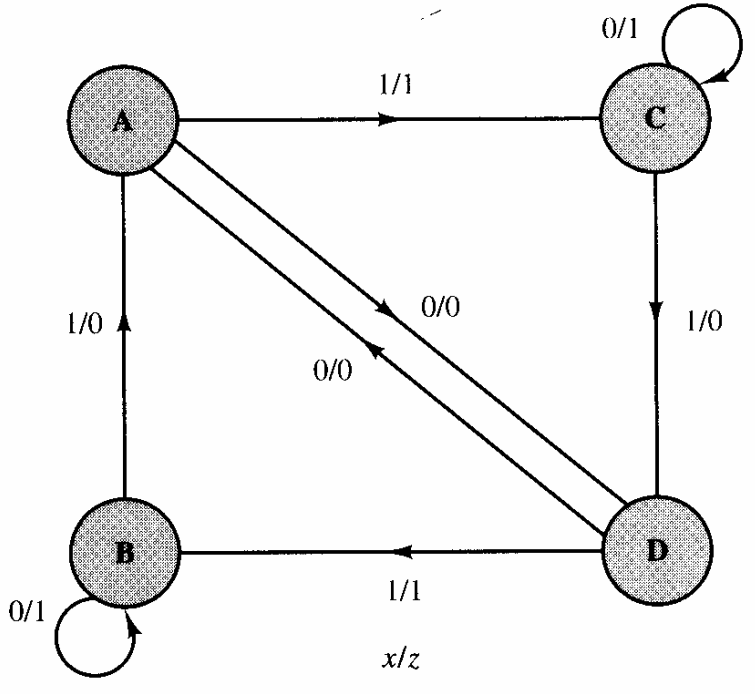
$[y_1,y_2] = [01] = B$

$[y_1,y_2] = [10] = C$

$[y_1,y_2] = [11] = D$

Outputs: $z = 0, z = 1$

ตัวอย่าง (ต่อ)



		Input x	
		0	1
Present state	A	$D/0$	$C/1$
	B	$B/1$	$A/0$
	C	$C/1$	$D/0$
	D	$A/0$	$B/1$

ตัวอย่าง (ต่อ)

- เมื่อมีอินพุทเป็น x = 0110101100

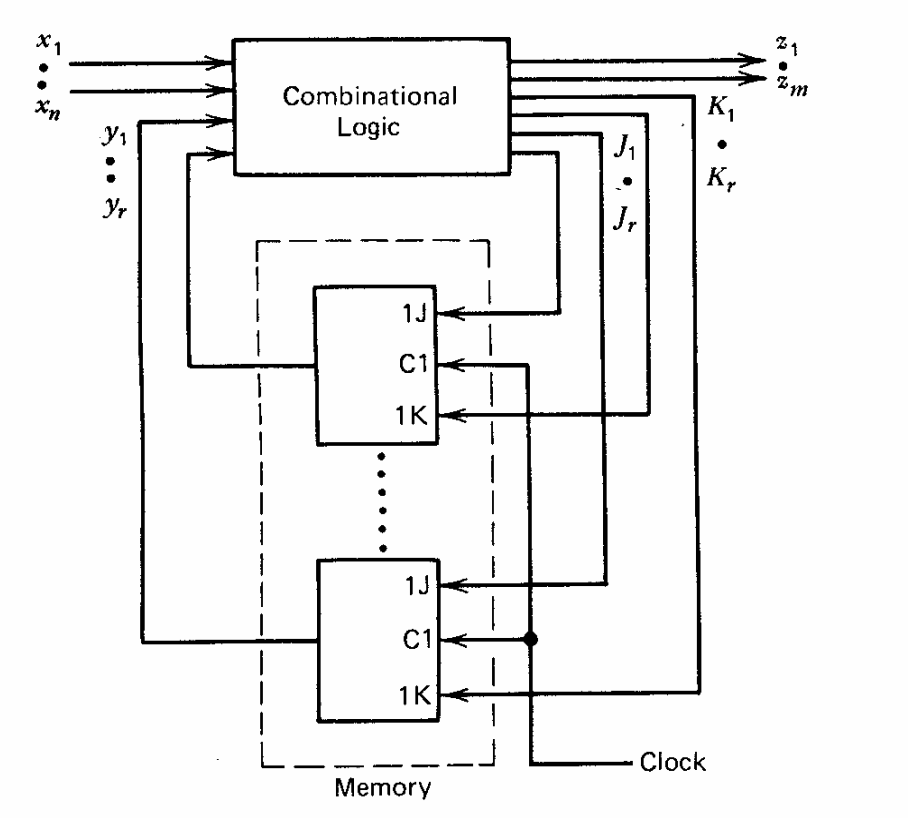
ครั้งที่:	0	1	2	3	4	5	6	7	8	9	10
สภาวะปัจจุบัน:	A	D	B	A	D	B	B	A	C	C	C
อินพุท:	0	1	1	0	1	0	1	1	0	0	
สภาวะถัดไป:	D	B	A	D	B	B	A	C	C	C	
เอาท์พุท:	0	1	0	0	1	1	0	1	1	1	

z = 0100110111

ประเภทของวงจร Sequential

- Synchronous Sequential
  - Pulse Synchronous สัญญาณอินพุทที่ใช้จะเป็นสัญญาณ Pulse และหน่วยความจำต้องใช้สัญญาณ Clock
  - Level Synchronous สัญญาณอินพุทที่ใช้จะเป็นสัญญาณ Level และหน่วยความจำต้องใช้สัญญาณ Clock

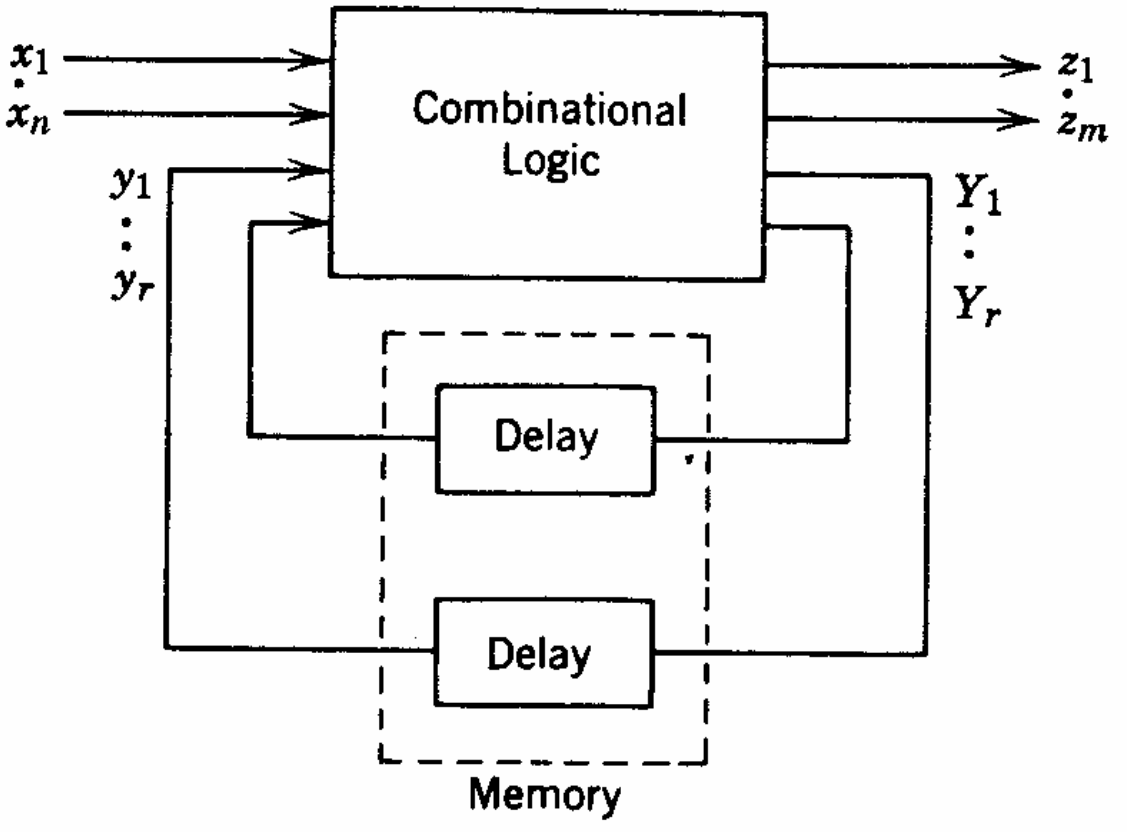
Synchronous Sequential



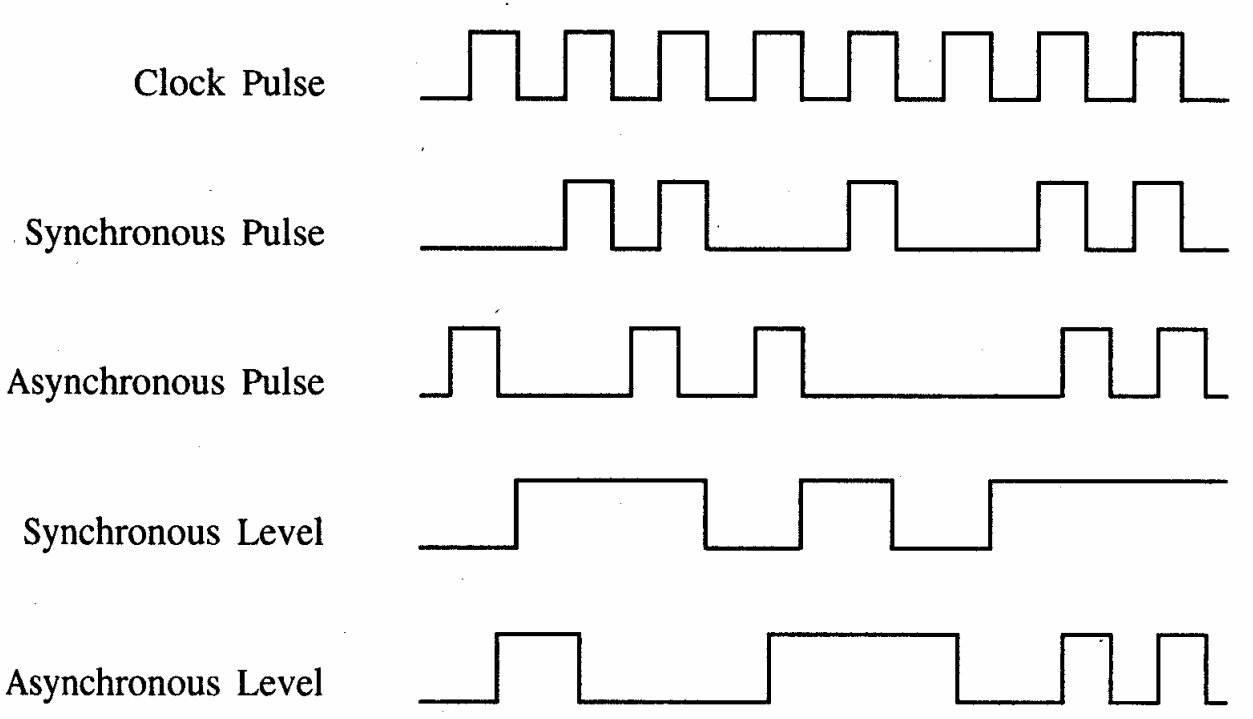
ประเภทของวงจร Sequential

- Asynchronous sequential
  - Pulsed Asynchronous สัญญาณอินพุทที่ใช้จะเป็นสัญญาณ Pulse และหน่วยความจำไม่ต้องใช้สัญญาณ Clock (Pulse mode)
  - Level Asynchronous สัญญาณอินพุทที่ใช้จะเป็นสัญญาณ Level และหน่วยความจำไม่ต้องใช้สัญญาณ Clock (Fundamental mode)

Asynchronous sequential



ชนิดของสัญญาณอินพุท



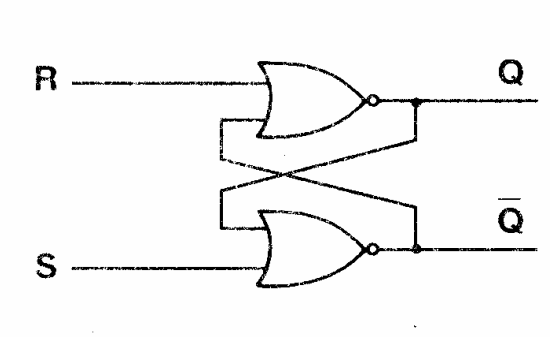
หน่วยความจำ (Flip Flop)

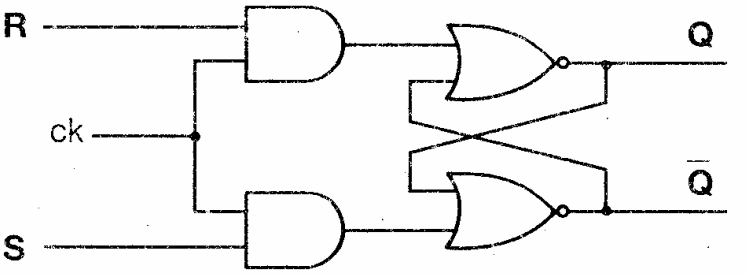
- RS Flip Flop
- D Flip Flop
- T Flip Flop
- JK Flip Flop

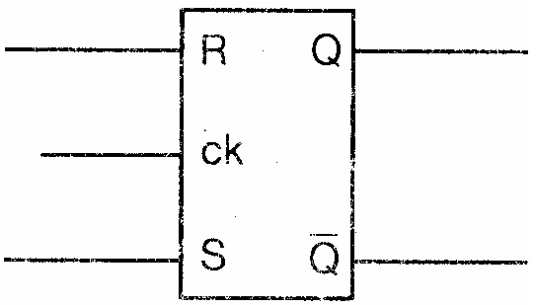
RS Flip Flop

- Rs Flip Flop หรือ RS Latch เป็นอุปกรณ์หน่วยความจำชนิดหนึ่งที่สามารถใช้เป็นหน่วยความจำสำหรับวงจร Sequential ได้ ซึ่งก็มีทั้งแบบที่ใช้สัญญาณ Clock และไม่ใช้สัญญาณ Clock

RS Flip Flop





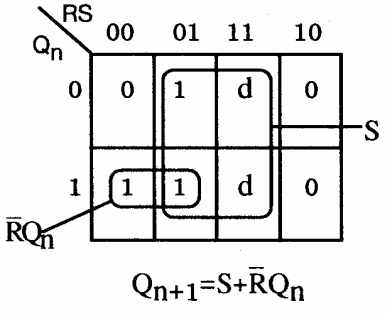


ตารางความจริงของ RS Flip Flop

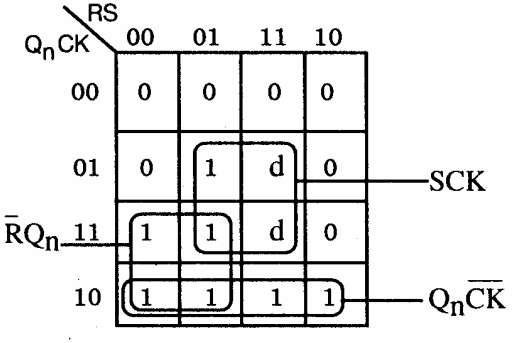
CK	R	S	Q_{n+1}	$\bar{Q}_{n+1}$
↑	0	0	Q_n	$\bar{Q}_n$
↑	0	1	1	0
↑	1	0	0	1
↑	1	0	0	0
–	d	d	Qn	$\bar{Q}$n

CK	R	S	Q_n	Q_{n+1}
↑	0	0	0	0
↑	0	0	1	1
↑	0	1	0	1
↑	0	1	1	1
↑	1	0	0	0
↑	1	0	1	0
↑	1	1	0	–
↑	1	1	1	–
–	d	d	0	0
–	d	d	1	1

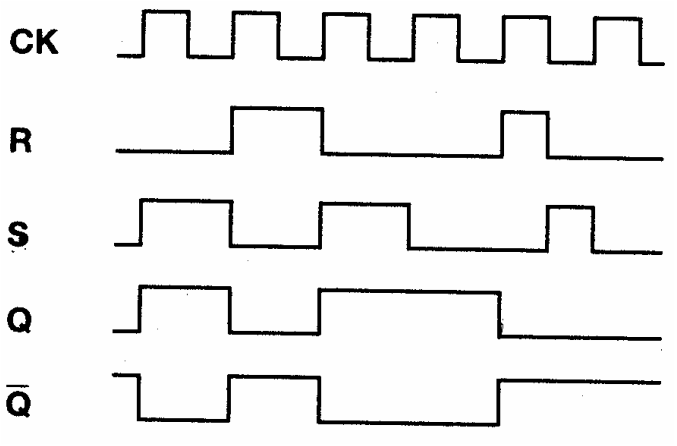
K-Map ของ RS FF ที่มีและไม่มี Clock



$Q_{n+1}=S+\bar{R}Q_n$

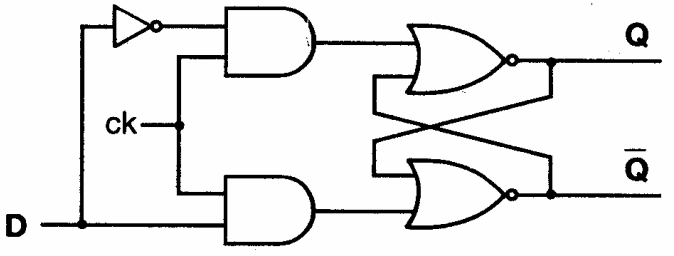


$Q_{n+1}=\bar{R}Q_n+SCK+Q_n\overline{CK}$

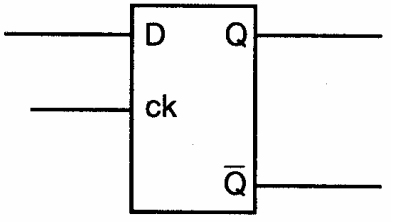


การเปลี่ยนแปลง State		Input ที่ต้องการ	
PS	NS	R	S
0	0	d	0
0	1	0	1
1	0	1	0
1	1	0	d

D Flip Flop



(ก) วงจรของ D Flip Flop

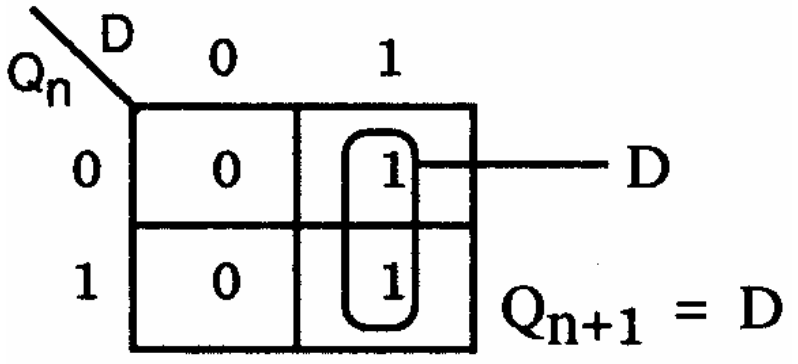


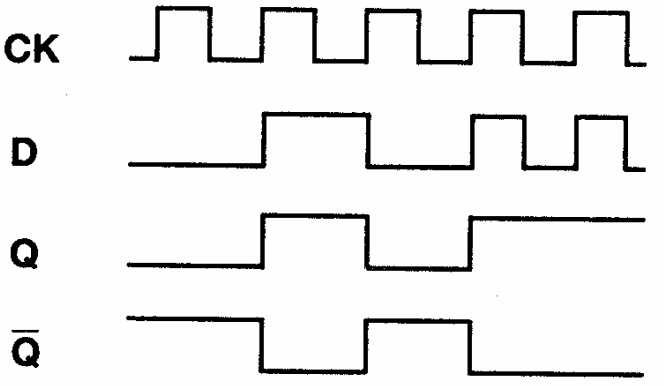
(ข) สัญลักษณ์

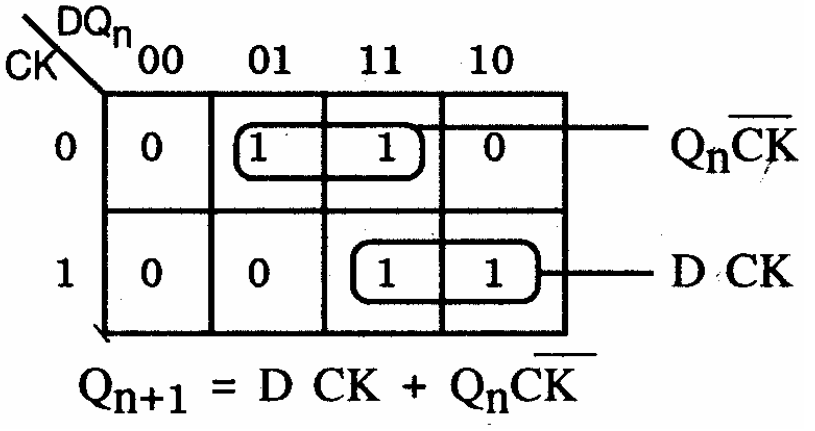
CK	D	Q_{n+1}	$\bar{Q}_{n+1}$
↑	0	0	1
↑	1	1	0
–	d	Q_n	$\bar{Q}_n$

CK	D	Q_n	Q_{n+1}
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1
–	d	0	0
–	d	1	1

K-Map ของ D FF ที่มีและไม่มี Clock

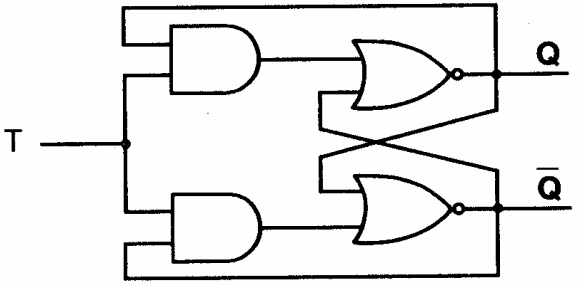




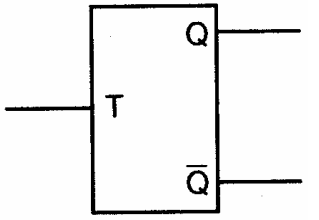


การเปลี่ยนแปลง State		Input ที่ต้องการ
PS	NS	D
0	0	0
0	1	1
1	0	0
1	1	1

T Flip Flop



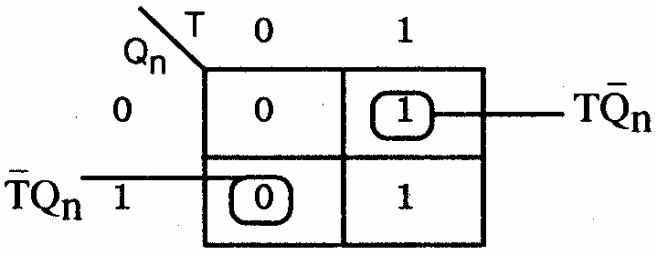
(ก) วงจรของ T Flip Flop



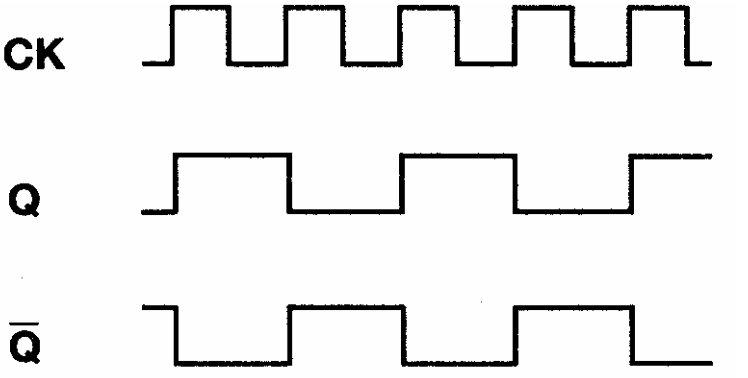
(ข) สัญลักษณ์

T	Q_{n+1}	$\bar{Q}_{n+1}$
1	$\bar{Q}_n$	Q_n
0	Q_n	$\bar{Q}_n$

T	Q_n	Q_{n+1}
1	0	1
1	1	0
0	0	0
0	1	1

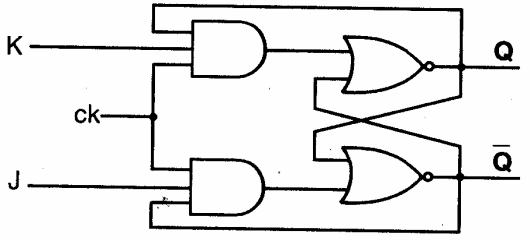


$$Q_{n+1} = T\bar{Q}_n + \bar{T}Q_n$$
$$= T \oplus Q_n$$

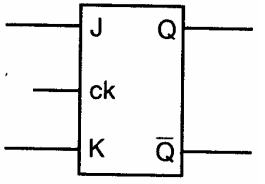


การเปลี่ยนแปลง State		Input ที่ต้องการ
PS	NS	T
0	0	0
0	1	1
1	0	1
1	1	0

JK Flip Flop



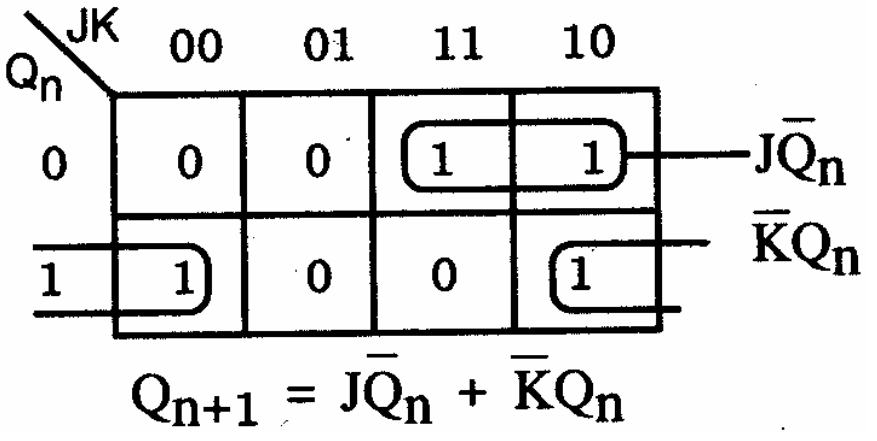
(ก) วงจรของ JK Flip Flop

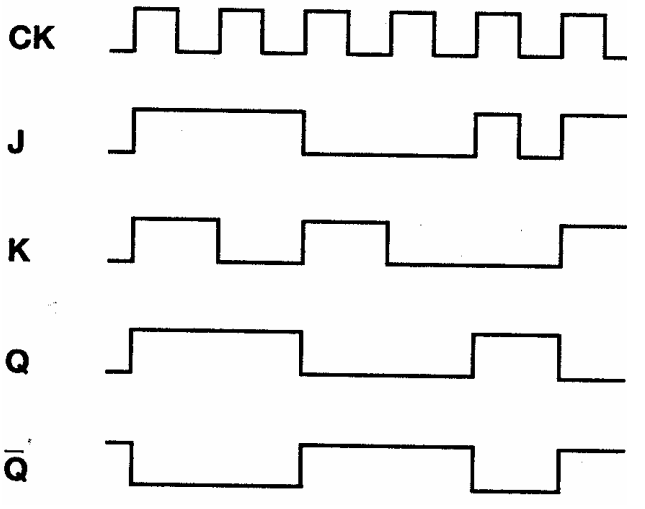


(ข) สัญลักษณ์

CK	J	K	Q_{n+1}	$\bar{Q}_{n+1}$
↑	0	0	Q_n	$\bar{Q}_n$
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	$\bar{Q}_n$	Q_n
–	d	0	Q_n	$\bar{Q}_n$

CK	J	K	Q_n	Q_{n+1}
↑	0	0	0	0
↑	0	0	1	1
↑	0	1	0	0
↑	0	1	1	0
↑	1	0	0	1
↑	1	0	1	1
↑	1	1	0	1
↑	1	1	1	0
–	d	d	0	0
–	d	d	1	1





การเปลี่ยนแปลง State		Input ที่ต้องการ	
PS	**NS**	**J**	**K**
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

ปัญหาเกี่ยวกับ Timing Diagram ของ F/F

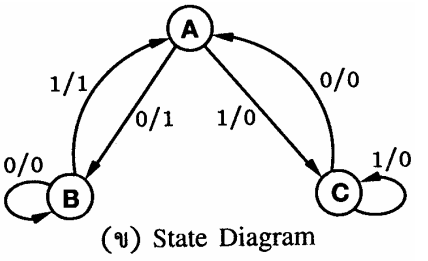
- ปัญหาที่สำคัญอย่างหนึ่งของระบบดิจิตอลคือ เวลาหน่วง หรือ Delay time ซึ่งจะทำให้เกิดความผิดพลาดขึ้นได้ ดังนั้น Clock pulse จึงมีความสำคัญเป็นอย่างมากในการแก้ปัญหาเรื่อง Delay time โดยความถี่ของ Clock pulse ใน 1 cycle ควรมีความกว้างมากกว่า Delay time ของ F/F อย่างน้อย 5 เท่า

State Diagram และ State Table

- Mealy model

PS	NS/Z	
	x=0	x=1
A	B/1	C/0
B	B/0	A/1
C	A/0	C/0

(ก) State Table

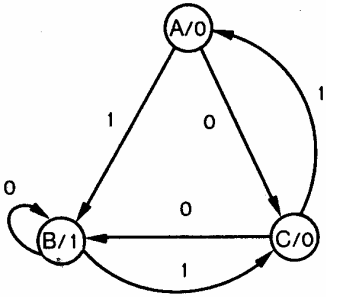


(ข) State Diagram

- Moore model

PS	NS		Output
	x=0	x=1	Z
A	C	B	0
B	B	C	1
C	B	A	0

(ก) State Table



(ข) State Diagram

Finished Week1